

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-076332

(43)Date of publication of application : 15.03.2002

(51)Int.Cl.

H01L 29/78
H01L 21/265
H01L 21/8238
H01L 27/092

(21)Application number : 2000-259369

(71)Applicant : HITACHI LTD
HITACHI ULSI SYSTEMS CO LTD

(22)Date of filing : 24.08.2000

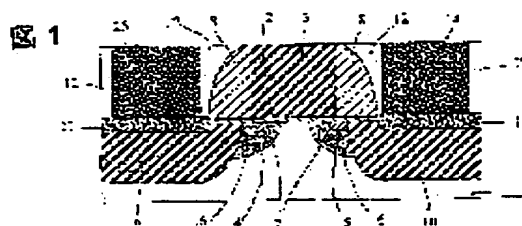
(72)Inventor : HORIUCHI KATSUTADA
TAKAHAMA TAKASHI

(54) INSULATING GATE FIELD EFFECT TRANSISTOR AND MANUFACTURING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a gate insulating field effect transistor where a source/ drain junction area below a gate electrode is made to be shallow and the resistance of the area is made to be low, and to provide a fine complementary gate insulating field effect transistor whose current is large and whose high speed operation is realized.

SOLUTION: In a fine MOS transistor, an impurity integrated layer constituted of In or Ga in low concentration having a peak in a shallow source/drain diffusion layer area in high concentration is formed. Thus, the shallow source/ drain diffusion layer is sucked to the impurity integrated layer and a shallower junction which has high concentration and is distributed into squares is realized. Thus, the current of fine PMOS is made to be large, punch through resistance and fining area realized and the transistor can be applied to NMOS. The current of CMOS can inexpensively made large, and punch through resistance and fining are also inexpensively realized without complicating the number of processes.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

BEST AVAILABLE COPY

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-76332

(P2002-76332A)

(43)公開日 平成14年3月15日(2002.3.15)

(51)Int.Cl.⁷

識別記号

F I

テマコード^{*}(参考)

H 0 1 L 29/78
21/265
21/8238
27/092

H 0 1 L 29/78
21/265
27/08

3 0 1 S 5 F 0 4 0
F 5 F 0 4 8
3 2 1 E

審査請求 未請求 請求項の数19 O L (全 14 頁)

(21)出願番号 特願2000-259369(P2000-259369)

(22)出願日 平成12年8月24日(2000.8.24)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72)発明者 堀内 勝忠

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 100068504

弁理士 小川 勝男 (外1名)

最終頁に続く

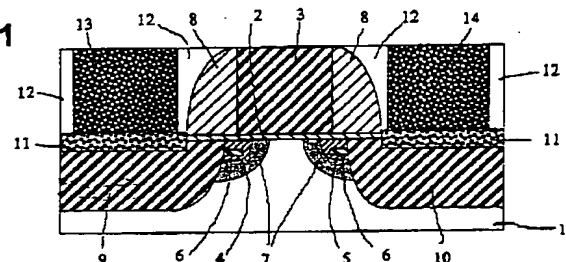
(54)【発明の名称】 絶縁ゲート型電界効果トランジスタ及びその製造方法

(57)【要約】

【課題】 本願発明の第1の課題は、ゲート電極下のソース・ドレイン接合領域の浅接合化と当該領域の低抵抗化とを合わせて実現したゲート絶縁型電界効果型トランジスタを提供することである。本願発明の別な課題は、大電流且つ高速度動作が可能な微細な相補型ゲート絶縁型電界効果型トランジスタを提供することである。

【解決手段】 微細MOSトランジスタに於いて、高濃度で浅いソース・ドレイン拡散層領域内部にピークを有する如く低濃度のI_n又はGaからなる不純物集積層を形成する。これにより浅いソース・ドレイン拡散層は不純物集積層に吸引され、高濃度で且つ矩形分布化されたより浅接合が実現される。これにより特に微細PMOSの大電流化と耐パンチスルー化、微細化が達成されるが同時にNMOSにも適用でき、従ってCMOSの大電流化と耐パンチスルー化、微細化が工程数の煩雑化無しに、従って廉価に達成できる。

図 1



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 第一導電型である半導体基板の主表面領域の一部に、上記半導体基板の表面で最大濃度となるごとく構成され、且つ深い接合と浅い接合によって区画される第二導電型を有する高濃度不純物領域が形成するPN接合を有し、且つ前記半導体基板の内部で最大濃度を有し、且つ第二導電型を有する前記浅い接合領域を構成する第一の不純物による高濃度領域内部に分布し、前記第一の不純物による高濃度領域の最大不純物濃度よりも低い最大濃度を有する第二の不純物領域を有してなることを特徴とする絶縁ゲート型電界効果型トランジスタ。

【請求項2】 前記浅い接合領域を構成する第一の不純物領域の最大濃度は $1 \times 10^{20} \text{ cm}^{-3}$ 以上、第二の不純物領域の最大不純物濃度は $5 \times 10^{19} \text{ cm}^{-3}$ 以下である事を特徴とする請求項1に記載の絶縁ゲート型電界効果型トランジスタ。

【請求項3】 第一導電型領域と、第二導電型領域とが、同一の半導体基板の主表面部に各々形成され、前記第一導電型領域には深い接合と浅い接合により区画される第二導電型を有する高濃度不純物領域が形成するPN接合を有する第1の絶縁ゲート型電界効果型トランジスタと、前記第二導電型領域に深い接合と浅い接合により区画される第一導電型を有する高濃度不純物領域が形成するPN接合を有する第2の絶縁ゲート型電界効果型トランジスタとが、各々配置され、且つ前記半導体基板内部で最大濃度を有する第二の不純物領域を、浅い接合を構成する該第二導電型を有する高濃度不純物領域、及び該第一導電型を有する高濃度不純物領域の各々の領域内部に有することを特徴とする絶縁ゲート型電界効果型トランジスタ。

【請求項4】 前記浅い接合領域を構成する第一及び第二導電型の高濃度不純物領域の最大不純物濃度は $1 \times 10^{20} \text{ cm}^{-3}$ 以上、第二の不純物領域の最大不純物濃度は $5 \times 10^{19} \text{ cm}^{-3}$ 以下である事を特徴とする請求項3に記載の絶縁ゲート型電界効果型トランジスタ。

【請求項5】 前記第二の不純物領域を構成する不純物はInであることを特徴とする請求項1から請求項4のいずれかに記載の絶縁ゲート型電界効果型トランジスタ。

【請求項6】 前記浅い接合領域を構成する第一及び第二導電型の高濃度不純物領域はAs及びBで構成されることを特徴とする請求項1から請求項5のいずれかに記載の絶縁ゲート型電界効果型トランジスタ。

【請求項7】 前記深い接合と浅い接合を構成する高濃度不純物領域はソース領域、及びドレイン領域であることを特徴とする請求項1から請求項6のいずれかに記載の絶縁ゲート型電界効果型トランジスタ。

【請求項8】 前記深い接合と浅い接合を構成する高濃度不純物領域はソース領域であることを特徴とする請求項1から請求項6のいずれかに記載の絶縁ゲート型電界

効果型トランジスタ。

【請求項9】 前記浅い接合を有するソース領域を包み込み、且つ前記浅いソース接合深さにおいて最大不純物濃度を有するごとくソース領域と反対導電型なる、不純物領域が構成されたことを特徴とする請求項7又は請求項8に記載の絶縁ゲート型電界効果型トランジスタ。

【請求項10】 ゲート電極を形成する工程、ゲート電極端を導入境界として、第二導電型の第一の不純物を半導体基板主表面で最大不純物濃度になる如く導入する工程、半導体基板内の上記第一の不純物導入領域内で最大不純物濃度となる如く、第二導電型よりなる第二の不純物領域を導入する工程、を含むことを特徴とする絶縁ゲート型電界効果型トランジスタの製造方法。

【請求項11】 前記第二の不純物領域を導入する工程の後に、前記第一の不純物を半導体基板主表面で最大不純物濃度になる如く導入する工程を有することを特徴とする請求項10に記載の絶縁ゲート型電界効果型トランジスタの製造方法。

【請求項12】 ゲート電極端を導入境界として、該第二導電型である第一の不純物導入領域の少なくとも底面領域を包み込むごとく前記第一の不純物と反対導電型の不純物領域を導入する工程を含むことを特徴とする請求項10又は請求項11に記載の絶縁ゲート型電界効果型トランジスタの製造方法。

【請求項13】 ゲート電極の側壁に絶縁膜を形成する工程、上記ゲート電極側壁絶縁膜端を導入境界として、該第一の不純物と反対導電型の不純物領域を導入する工程を含むことを特徴とする請求項12に記載の絶縁ゲート型電界効果型トランジスタの製造方法。

【請求項14】 ゲート電極、又はゲート側壁絶縁膜を導入境界として第一導電型又は第二導電型の不純物を順次導入する工程の過程に活性化熱処理工程を有することを特徴とする請求項10から請求項13の何れかに記載の絶縁ゲート型電界効果型トランジスタの製造方法。

【請求項15】 半導体基板の主表面領域に形成された第一導電型領域と、第二導電型領域の各々の主表面上にゲート絶縁膜を介してゲート電極を形成する工程、ゲート電極端を導入境界として、第一導電型領域には第二導電型高濃度不純物を、第二導電型領域には第一導電型高濃度不純物を、それぞれ選択的に導入する工程、前記第二導電型高濃度不純物と異なる第二導電型不純物を導入する工程、を含むことを特徴とする絶縁ゲート型電界効果型トランジスタの製造方法。

【請求項16】 前記第二導電型高濃度不純物領域の少なくとも底面領域を包み込むごとく第一導電型の不純物領域を、且つ前記第一導電型高濃度不純物領域の少なくとも底面領域を包み込むごとく第二導電型の不純物領域を、ゲート電極端を導入境界として導入する工程を含むことを特徴とする請求項15に記載の絶縁ゲート型電界効果型トランジスタの製造方法。

【請求項17】 高濃度不純物領域の少なくとも底面領域を包み込むごとく導入する第一、又は第二導電型不純物領域に、少なくとも一方はゲート電極側壁絶縁膜端を導入境界として導入されることを特徴とする請求項16に記載の絶縁ゲート型電界効果型トランジスタの製造方法。

【請求項18】 第一導電型高濃度不純物、又は第二導電型高濃度不純物を導入し、活性化熱処理を施した後、前記第二導電型高濃度不純物と異なる第二導電型不純物を導入する工程を施すことを特徴とする請求項15から請求項17のいずれかに記載の絶縁ゲート型電界効果型トランジスタの製造方法。

【請求項19】 前記第二導電型高濃度不純物と異なる第二導電型不純物を導入する工程を、第一導電型高濃度不純物、又は第二導電型高濃度不純物を導入するのに先立って有することを特徴とする請求項15から請求項18のいずれかに記載の絶縁ゲート型電界効果型トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本願発明は半導体装置及びその製造方法に係わり、特に超微細絶縁ゲート型電界効果型トランジスタの大電流化、超高速動作化に関するものである。

【0002】

【従来の技術】 超高密度集積回路装置を構成する絶縁ゲート型電界効果型トランジスタ（以降、単にMOSと略記する）の高性能化はスケールング則に基づき使用電源電圧の低下と寄生容量低減メリットを達成すべく、トランジスタ面積の低減とゲート寸法の微細化により達成されてきた。現在までに160nm以下のゲート長を有する超微細MOSも実用化されている。超微細MOSにおいて、ソース・ドレイン接合深さの浅接合化もゲート長の短寸法化に伴って進められ、現在30nm以下にまで達している。ソース・ドレイン接合深さの浅接合化において、ゲート長の微細化に伴い閾電圧値が急激に低下する所謂短チャネル効果を抑制しつつ、大電流化を達成するためにはソース拡散層抵抗の低抵抗化が必須である。

【0003】 図2は従来の超微細MOSを模式的に示す断面図、図3は図2の高濃度ソース・ドレイン浅接合4、5（イクステンション：extensionと称される）における深さ方向不純物分布図である。図2において、N導電型MOSの場合、P導電型Si基板1の表面に形成されたゲート絶縁膜2を介してゲート電極3が形成されている。ゲート電極3を導入阻止マスクとしてN導電型ソース及びドレイン浅接合拡散層4、5と、所謂短チャネル効果防止のための高濃度P導電型不純物拡散層である所謂ポケット拡散層領域7が導入されている。更にゲート側壁絶縁膜8を導入阻止マスクとしてN導電型で深い接合のソース及びドレイン拡散層9、及び10が導入

されている。尚、図中、符号11はシリサイド膜、12は表面保護絶縁膜、13はソース電極、14はドレイン電極である。

【0004】 ソース・ドレイン浅接合拡散層の形成には下記の工程を用いる。（1）ゲート電極を導入阻止用マスクとする低加速エネルギーイオン注入による高濃度不純物導入、（2）続いてポケット領域形成イオン注入、（3）更にはゲート側壁絶縁膜をマスクとする深い接合のソース及びドレイン拡散層形成のイオン注入を施す。（4）しかる後、高温、短時間アニール法による注入イオンの活性化が従来から用いられている。上記短時間アニールは注入不純物の熱拡散による接合深さの拡がりを最小限に抑え、イオン注入時に得られる急峻な不純物分布を保持したまま活性化を実現する目的で採用されている。

【0005】 しかし、拡散層のさらなる浅接合化、低抵抗化は上記高温アニールの短時間化だけでは達成できない。その主な理由はイオン注入時に発生する格子間Si及び空孔の存在のために900℃以下の比較的低温度条件においても拡散が加速される所謂過渡的加速拡散現象に基づく。上記格子Si及び空孔の発生は後続の深いソース・ドレイン形成工程におけるイオン注入においても不可避であり、浅接合領域の加速拡散がますます増長される。格子間Siの発生は熱酸化工程においても見られ、この場合は酸化加速拡散現象と称せられているが、後続工程における加速拡散現象を抑制することは極めて困難な状態にある。

【0006】 図3は、ボロン（B）を加速エネルギー3eV、 $1 \times 10^{15} / \text{cm}^2$ の条件でSi単結晶基板にイオン注入した状態、及び1000℃、10秒の短時間アニールを施した後における表面から基板内部に向けての不純物分布を二次イオン質量分析法により測定した結果を示す図である。図からも明らかなごとく低加速エネルギー注入にも係わらず、不純物分布に裾を引く現象が観測され、短時間アニール法に依っても浅接合の形成が極めて困難なこと、及び不純物分布特性もごく表面領域を除き、表面からの深さ方向に対してだらだらと単調に低下する傾向が明らかである。即ち、現状の不純物分布形状は浅接合を維持しつつ、且つ低拡散層抵抗を実現する不純物分布の理想形と考えられる $10^{20} / \text{cm}^3$ 以上の高濃度の矩形分布形状からは程遠い特性を有している。

【0007】 従って、微細MOSの更なる微細化、及び大電流化を達成するためには現状のソース・ドレイン接合の浅接合と低抵抗化を両立させる最適不純物分布の実現が必須である。

【0008】 ソース・ドレイン イクステンション接合の浅接合、高濃度矩形分布化を阻害する他の現象としてSi結晶格子間隔が結晶方位に依存するために注入イオンの加速エネルギーで定まる飛程以上に通過する所謂チャネリング現象が知られている。上記チャネリング現象

による不純物濃度分布の拡がりを防止するために注入角度を傾けて実施する傾角イオン注入や、GeのごとくSi結晶に対して中性のイオンを多量に注入し、表面領域を予め非晶質化させることによりイクステンション接合形成のイオン注入に対するチャネリング現象を防止する対策も知られている。しかしながら上記非晶質化のイオン注入も格子間Si及び空孔の発生を伴い、理想的な浅接合の形成を実現することは困難である。更に熱処理による非晶質化領域の再結晶化において、完全結晶への回復は困難であり、同領域に形成された接合は結晶欠陥の影響を無視することはできず、接合漏洩電流の発生を伴う。

【0009】チャネリング現象を防止する手段としてInを用いる手法は、日本国公開公報、特開平11-87706号に見られる。上記の公開公報では、次の工程で製造している。即ち、それは、(1) NチャネルMOSトランジスタ(NMOSと記する)の活性領域の全面、又はゲート電極をマスクとしてInを注入し、非晶質化を行い、(2) イクステンション接合形成のAsイオン注入工程、(3) 深いソース・ドレイン拡散層形成のPイオン注入工程、及び(4) 導入不純物の活性化熱処理である。上記技術の目的は、Inの注入飛程をイクステンション接合と深いソース・ドレイン拡散層の中間に設定することによりInがPを吸引する現象を利用して、深いソース・ドレイン拡散層を浅く構成することである。即ち、上記技術では浅接合化のために、非晶質化とInがPを吸引する現象を用いている。尚、上記技術の記載において、活性化率はPのほうがAsより高く、且つAsのほうがPよりも質量が小さいとあるが、これらは事実と反しており、深いソース・ドレイン拡散層の形成にも通常、Asのイオン注入が用いられている。

【0010】注入不純物が互いに吸引する現象を、接合制御に応用する他の技術は、例えば、日本国、公開公報、特開平2-114633号に記載されている。この技術では、Gaを表面領域に注入した後、Gaより深い飛程でBを注入し、その後の熱処理でGaとBが互いに吸引する現象によりB単独の接合より浅いP型拡散層を形成している。

【0011】

【発明が解決しようとする課題】本発明の課題は微細MOSの高性能化、即ち大電流化において、ソース・ドレイン間パンチスルー電流経路を完全に遮断すべく、ゲート電極直下のソース・ドレイン・イクステンション接合領域の浅接合化と、 $10^{20}/\text{cm}^3$ 以上と高不純物濃度の矩形分布を有し、拡散抵抗の極限までの低抵抗化を達成できる不純物分布を両立させることにある。本発明の他の課題はN型基板領域内に構成されるPチャネルMOSトランジスタ(PMOSと記する)ばかりでなく、同一半導体基板内にN型領域とP型領域を有し、各々の領域にNMOSとPMOSが構成された相補型MOSトランジ

スタ(CMOSと記する)に関しても上記不純物分布構造を実現し、超微細CMOSの大電流化、高速動作化の可能な超微細MOSを実現することにある。

【0012】尚、本願明細書では、MOSとの用語は、一般的な絶縁ゲート型電界効果型トランジスタの略称として用いる。従って、本願発明は、ゲート絶縁膜として、MOSの語源である酸化物(Oxide)膜、更に具体例としてはSi酸化物膜のみでなく、例えば、窒化物膜を用いたり、あるいは、酸化物にその他の諸物質の膜を併せて用いた複合膜を用いたものも、当然含むものである。

【0013】本発明の他の課題は、Pによる拡散層をInと相互作用により制御する従来技術において発生する次の諸事項を解消することにある。それらは、例えば、質量の大きいInのイオン注入による非晶質化、又は結晶欠陥発生が接合特性に与える悪影響、接合漏洩電流の増大などである。

【0014】即ち、従来例においては、In注入領域を追い越す如く、Pによる深いソース・ドレイン拡散層を形成しており、深いソース・ドレイン拡散層は少なくとも一領域でIn注入領域と交差することが避けられない。従って、上記交差箇所での接合破壊の影響から逃れることができない難点があった。

【0015】更に本発明の他の課題は、従来技術が微細MOSの大電流化に寄与する割合が、低い深いソース・ドレイン拡散層の浅接合化を課題としたのに対し、微細MOSの大電流化に最も敏感なイクステンション接合領域の浅接合化・低抵抗化を達成することである。

【0016】更に本発明の他の課題はBに対する吸引作用が知られているGaと同様な作用を有し、且つGaの有する難点を有しない他の元素を見出し、極めて急峻な不純物分布を有し、且つ低抵抗なイクステンション接合を実現し微細MOSの高性能化を達成することである。尚、Gaの有する難点とは、例えば、(1) 質量が小さく、イオン注入法ではSi結晶基板内で急峻な分布を実現することが困難であること、(2) 通常の熱処理工程により容易に外方拡散し、且つ拡散速度が速くてしかも活性化率が低い等の特性のために低抵抗・浅接合化が困難なことなどである。

【0017】

【課題を解決するための手段】本願発明の主な形態を列挙すると次の通りである。

【0018】本願発明の第1の形態は、第一導電型である半導体基板の主表面領域の一部に、上記半導体基板の表面で最大濃度となるごとく構成され、且つ深い接合と浅い接合によって区画される第二導電型を有する高濃度不純物領域が形成するPN接合を有し、且つ前記半導体基板の内部で最大濃度を有し、且つ第二導電型を有する前記浅い接合領域を構成する第一の不純物による高濃度領域内部に分布し、前記第一の不純物による高濃度領域

の最大不純物濃度よりも低い最大濃度を有する第二の不純物領域を有してなる絶縁ゲート型電界効果型トランジスタである。

【0019】そして、前記浅い接合領域を構成する第一の不純物領域の最大濃度は $1 \times 10^{20} \text{ cm}^{-3}$ 以上、第二の不純物領域の最大不純物濃度は $5 \times 10^{19} \text{ cm}^{-3}$ 以下が良い。

【0020】本願発明の第2の形態は、第一導電型領域と、第二導電型領域とが、同一の半導体基板の主表面部に各々形成され、前記第一導電型領域には深い接合と浅い接合により区画される第二導電型を有する高濃度不純物領域が形成するPN接合を有する第1の絶縁ゲート型電界効果型トランジスタと、前記第二導電型領域に深い接合と浅い接合により区画される第一導電型を有する高濃度不純物領域が形成するPN接合を有する第2の絶縁ゲート型電界効果型トランジスタとが、各々配置され、且つ前記半導体基板内部で最大濃度を有する第二の不純物領域を、浅い接合を構成する該第二導電型を有する高濃度不純物領域、及び該第一導電型を有する高濃度不純物領域の各々の領域内部に有する絶縁ゲート型電界効果型トランジスタである。

【0021】そして、前記浅い接合領域を構成する第一及び第二導電型の高濃度不純物領域の最大不純物濃度は $1 \times 10^{20} \text{ cm}^{-3}$ 以上、第二の不純物領域の最大不純物濃度は $5 \times 10^{19} \text{ cm}^{-3}$ 以下が良い。

【0022】又、前記第二の不純物領域を構成する不純物はInがその代表例である。

【0023】前記浅い接合領域を構成する第一及び第二導電型の高濃度不純物領域はAs及びBで構成されるのが好ましい。

【0024】本願発明の第3の形態は、ゲート電極を形成する工程、ゲート電極端を導入境界として、第二導電型の第一の不純物を半導体基板主表面で最大不純物濃度になる如く導入する工程、半導体基板内の上記第一の不純物導入領域内で最大不純物濃度となる如く、第二導電型よりなる第二の不純物領域を導入する工程、を含む絶縁ゲート型電界効果型トランジスタの製造方法である。

【0025】本願発明の第4の形態は、半導体基板の主表面領域に形成された第一導電型領域と、第二導電型領域の各々の主表面上にゲート絶縁膜を介してゲート電極を形成する工程、ゲート電極端を導入境界として、第一導電型領域には第二導電型高濃度不純物を、第二導電型領域には第一導電型高濃度不純物を、それぞれ選択的に導入する工程、前記第二導電型高濃度不純物と異なる第二導電型不純物を導入する工程、を含む絶縁ゲート型電界効果型トランジスタの製造方法である。

【0026】本願諸発明の更なる諸形態は、以下の発明の実施の形態の欄にて詳細に説明される。

【0027】

【発明の実施の形態】MOS特性の大電流化を追求する

観点から、本願発明に基づくMOSに於ては、ゲート絶縁膜の薄膜化、ゲート長の微細化は使用電源電圧と共にスケーリング則に基づいて実施する。従って電流電圧特性を基本的に決定する実効チャネル長は微細化の限界技術が適用されるゲート加工技術と、上記ゲート電極をイオン注入マスクとするソース・ドレイン拡散層で決定する構造を採用する。上記拡散層はソース・ドレイン間のパンチスルー現象を十分に抑制し、ソース抵抗を可能な限り低減させるために浅接合高濃度の条件を満たすべくイオン注入条件と、その後の熱処理負担の軽減工程を採用する。

【0028】本願発明の実施の諸形態を説明するに先だって、本願発明の骨子となる事実の説明を行う。

【0029】本願発明の基本概念はSi単結晶基板にイオン注入したP導電型であるInの拡散現象を調べる過程で、予め導入されたB、及びAs等の不純物拡散層がInの導入により大きく変動する現象を見出した事実に基づく。

【0030】即ち、2.5nmの表面保護酸化膜が形成された面方位(100)のSi単結晶基板表面に加速エネルギー5keV、注入量 $2 \times 10^{15} / \text{cm}^2$ なる条件でAsがイオン注入された試料に、重ねてInをイオン注入し、注入イオンの活性化熱処理を1000℃、10秒なる短時間高温熱処理を施した。尚、前記Inイオンの注入に際しては、イオンの加速エネルギー200keV、注入量をパラメータとして $1 \times 10^{12} / \text{cm}^2$ から $1 \times 10^{15} / \text{cm}^2$ なる条件で変化させた。そして、イオンの活性化熱処理の前後における上記各試料のAs及びInの深さ方向不純物分布を二次イオン質量分析法により測定した。

【0031】この結果、活性化熱処理前におけるAsの最大不純物濃度は、Si基板表面で $2.5 \times 10^{21} / \text{cm}^3$ 、InはSi基板表面から約95nmの深さで最大不純物濃度を有する。そして、その最大不純物濃度の値は、 $1 \times 10^{13} / \text{cm}^2$ 、及び $1 \times 10^{14} / \text{cm}^2$ 、の注入条件の試料で各々 $6.5 \times 10^{17} / \text{cm}^3$ 、 $6.5 \times 10^{18} / \text{cm}^3$ であった。

【0032】一方、活性化熱処理後の不純物分布は、極めて特異な分布を示した。即ち、Asは $10^{20} / \text{cm}^3$ 以上の高濃度領域から $10^{17} / \text{cm}^3$ 以下の低濃度領域まで、Inの注入量の増加と共にInの最大濃度深さ位置方向に平行移動するとき増速拡散現象を示した。基板の不純物濃度 $1 \times 10^{18} / \text{cm}^3$ における接合深さは、In注入量が $1 \times 10^{13} / \text{cm}^2$ 、 $5 \times 10^{13} / \text{cm}^2$ 、 $1 \times 10^{14} / \text{cm}^2$ の各試料において、各々、42nm、72nm、73nmであった。上記、増速拡散はIn注入量で $1 \times 10^{13} / \text{cm}^2$ 以上で顕著に観測された。上記現象は、一つのIn原子によって100個以上のAs原子が増速拡散を起こしたことを意味し、従来の増速拡散の常識を遥かに超えた顕著な現象と言える。

【0033】活性化熱処理後におけるInの深さ方向分布も特異な振舞いを示した。活性化熱処理前の最大濃度領域前後に極大不純物点が形成される。一つは高濃度As不純物領域内に、他の一つは活性化熱処理前の最大濃度点よりやや深い領域、140nm近傍に存在し、熱処理前の最大不純物濃度状態は消滅する。透過型電子顕微鏡により上記試料断面を観察したところ、In不純物濃度の極大点近傍には二次結晶欠陥の存在が確認された。上記観察結果からInイオン注入におけるAsの増速拡散はInに起因する結晶欠陥が発生要因であることが推測された。

【0034】上記実験結果に基づき、次にInイオン注入における加速エネルギーを10keVに設定し、Asの増速拡散現象を調べた。Asのイオン注入条件、熱処理条件は上記実験と同一に設定した。上記In注入条件での飛程は約10nmである。Asの深さ方向濃度分布を測定したところ、基板不純物濃度 $1 \times 10^{18} / \text{cm}^3$ における接合深さが約25nmと活性化熱処理前の不純物濃度分布とほぼ変わらず、 $1 \times 10^{18} / \text{cm}^3$ 以下における裾引き分布も見られない極めて急峻な深さ方向分布を得ることができた。

【0035】Inの他の不純物との相互作用を調べた結果を図4に示す。図は1000℃、10秒なる活性化熱処理前後における、InによるBの増速拡散結果を示す図である。この場合、Bの導入は、加速エネルギー3keV、注入量 $1 \times 10^{15} / \text{cm}^2$ なるBF₂のイオン注入条件、一方、Inのイオン注入条件は、加速エネルギー35keV、注入量 $1 \times 10^{13} / \text{cm}^2$ であった。Inは基板表面から約22nmの深さで最大濃度 $6 \times 10^{18} / \text{cm}^3$ であり、Bは $10^{20} / \text{cm}^3$ 以上の高濃度均一分布状態で表面から25nm程度の深さまで分布し、そこから急峻な濃度勾配で減少する分布形状が得られた。

【0036】図4のB濃度分布は、図3に示したInイオン注入を伴わない同一熱処理条件における従来方法に基づくBの深さ方向分布と全く異なる不純物分布形状が得られることを示している。即ち、上記B及びAsとInとの相互作用に関する実験結果は、Inの注入領域を制御することにより、In注入量の100倍以上の不純物原子を任意深さ領域に分布状態を制御できることを示している。この場合、分布状態を制御される前記不純物原子は、As、あるいはBと、その導電型によらないことも理解される。

【0037】Inと他の不純物との相互作用に関連して、従来から知られたPとInとの相互作用についても検討した。この結果、Pの高不純物濃度領域には変化が見られず、AsやBにおける不純物分布の移動ほど顕著な振舞いではなかった。ただ、Inの導入に対して、Pの低濃度分布領域が移動する程度の変化は観測された。

【0038】新たに見出した上記現象を、微細MOSのソース・ドレイン接合に適用することにより図3に示し

たBによる従来のイクステンション接合における不純物濃度の単調減少分布を、表面から所望の接合深さ近傍までほぼ矩形形状の高濃度一定不純物分布に改善することが可能となる。

【0039】Asのイクステンション接合においてもInの注入飛程距離をより浅接合位置に設定することにより、従来に比べて一層矩形高濃度分布形状の接合を提供することができる。ここにおいて、Inは反対導電型であり、N導電型キャリア濃度を補償し、シート抵抗を増大する方向に作用するが、一つのIn原子により100原子以上のAs原子が集積されるため実効的キャリア濃度は上昇する。従って、この領域は、低シート抵抗で且つ極浅な接合を提供することができる。即ち、上記手段に基づけば、超微細CMOSのパンチスルー現象に基づく短チャネル効果を抑制しつつ、大電流化に必須のソース・ドレイン内部抵抗の極小化、特にゲート電極直下に配置されるイクステンション接合領域の低抵抗化を提供することができる。

【0040】尚、公知のAl、GaとBの相互作用をP型イクステンション接合の高性能化に応用する手段も可能性として考えられるが、下記の諸理由で、本発明におけるInの役割を担うことは困難である。即ち、それらは、(1) AlやGaがInに比べて質量が小さく、イオン注入により急峻な濃度分布を任意深さに設定することが原理的に困難なこと、(2) Si基板内における拡散速度が極めて速く通常の半導体装置の製造工程では制御が困難なこと、(3) 更にアクセプタ不純物としての活性化率が極めて低く微細MOSへの適用を考えると実用的でない等である。

【0041】以下、本願発明を実施例によりさらに詳細に説明する。理解を容易にするため、図面を用いて説明し、要部は他の部分よりも拡大して示されている。各部の材質、導電型、及び製造条件等は本実施例の記載に限定されるものではなく、各々多くの変形が可能であることは言うまでもない。

【0042】実施例1

図1は本発明の第一の実施例によるMOSの完成断面図、図5、及び図6はその製造工程順を示す装置の断面図である。

【0043】面方位(100)、N導電型、直径20cmの単結晶Siよりなる半導体基板1に、活性領域を画定する素子間分離絶縁領域(図示せず)の形成する。次いで、基板濃度調整用のN導電型イオンを注入し、その引き延ばし熱処理、及び閾電圧調整用のイオン注入し、その活性化熱処理を、通例の手法により施す。更にこの後、熱酸化膜を厚さ1.8nmに形成した。その表面をNOガスにより窒化することにより、厚さ0.2nmの窒化膜を積層形成し、ゲート絶縁膜2とした。続いて、Bが高濃度に添加された非晶質Si膜を化学気相堆積法によりゲート絶縁膜2上に250nmの膜厚で堆積

する。そして、これらを電子線リソグラフ法を用いて100nmのゲート電極3に加工した。

【0044】ゲート電極3の低抵抗化は、上記のごとく、予め不純物を添加するのではなく従来の相補型MOSの製法に基づき、所望ゲート電極領域に選択的に磷又はボロンを高濃度イオン注入し形成しても何ら問題ない。

【0045】ゲート電極3形成後、この状態よりBF₂イオンを、加速エネルギー3keV、注入量 $1 \times 10^{15} / \text{cm}^2$ の条件で垂直方向からイオン注入し、浅いソース拡散層4、及び浅いドレイン拡散層5とした。続いて、In⁺イオンを加速エネルギー10keV、注入量 $2 \times 10^{12} / \text{cm}^2$ の条件で実施し、不純物吸引領域6とした。

【0046】上記条件によるInの最大不純物濃度は、Si基板表面から約10nmの深さに位置し、 $2 \times 10^{19} / \text{cm}^3$ であり、且つBの最大不純物濃度は、Si基板表面において $4 \times 10^{20} / \text{cm}^3$ から $5 \times 10^{20} / \text{cm}^3$ 程度であった。その確認は、別途同仕様で作成した試料を二次イオン質量分析法測定によりなされた。上記最大濃度深さは、上記浅いソース拡散層4、及び浅いドレイン拡散層5の内部に位置する。

【0047】不純物吸引領域6の形成の後、950℃、5秒の条件で熱処理を施し、注入不純物の活性化を実施した。なお、上記熱処理はIn注入前に施しても差し支えない。この状態を図5の断面図に示す。

【0048】図5に示す、こうして準備した半導体基板に、上記浅いソース拡散層4、及び浅いドレイン拡散層5を包み込むごとく、Pのイオン注入を施して、パンチスルー防止のためのN導電型パンチスルー防止拡散層7とした。次に50nm厚のシリコン酸化膜を、プラズマ補助堆積法により400℃の低温で全面に堆積した。そして、このシリコン酸化膜を異方性ドライエッチングによりゲート電極3の側壁部にのみ選択的に残置させて、ゲート側壁絶縁膜8とした。

【0049】上記ゲート側壁絶縁膜8をイオン注入阻止マスク領域とするP型高濃度ドレイン拡散層10及びP型高濃度ソース拡散層9を形成した。イオン注入条件はBF₂イオン、加速エネルギー25keV、注入量 $2 \times 10^{15} / \text{cm}^2$ である。この状態を図6に示す。

【0050】図6に示す、こうして準備した半導体基板に、950℃、10秒の条件で、注入イオンの活性化熱処理を施した後、C₆₀膜をスパッタリング法により全面に薄く堆積し、500℃における短時間アニールによるシリサイド化を施した。未反応C₆₀膜を塩酸と過酸化水素水混合液で除去し、Si基板露出部に選択的にC₆₀シリサイド膜11を残置させた。この状態より800℃における短時間熱処理によりC₆₀シリサイド膜11の低抵抗化を施した。次に厚いシリコン酸化堆積膜を全面に形成した後、その表面を機械的・化学的研磨により平坦化して表面保護絶縁膜12とした。該表面保護絶縁膜の所望

領域に開口を施してから、配線金属の拡散障壁材としてのTiN膜と配線金属としてのW膜を堆積する。そして、その平坦化研磨により開口部分のみに選択的にW膜を残置した。その後、所望回路構成に従いアルミニウムを主材料とする金属膜の堆積とそのパターニングによりドレイン電極14、及びソース電極13を含む配線を形成し、MOSを製造した。この完成した状態が図1である。

【0051】本実施例に基づくMOSにおいては、従来MOSトランジスタと比較して、ゲート長100nmの同一ゲート長、同一測定条件で0.48mAと3割以上の大電流化が実現された。尚、従来MOSトランジスタでは、ドレイン印加電圧、及びゲート電圧V_gから閾電圧V_{th}を差し引いた印加電圧が-1.5Vの条件で、1μmチャネル幅あたりのソース・ドレイン間電流I_{ds}は0.37mAであった。

【0052】上記の飛躍的な電流増大は、従来MOSにおけるソース・ドレイン浅接合拡散層の抵抗が6.4kΩ/□と大きな値であった。これに対し、本実施例に基づくMOSのソース・ドレイン浅接合拡散層の抵抗は、360Ω/□と一桁以上の低減化が達成されたためと考えられる。

【0053】尚、本実施例に基づく微細MOSのV_{th}値はドレイン電圧1.5Vで0Vであった。更に、本願発明に基づく上記微細MOSのI_{ds}のV_g依存性に於ては、ドレイン印加電圧-1.5Vの場合と-0.5Vの場合ではその閾電圧の違いは、僅か0.15Vと小さい。即ち、本例が、ドレイン・インデュースド・バリアロアリング(drain induced barrier lowering: DIBL)特性に優れていることも明らかになった。このことから本願発明に基づく微細MOSのゲート電極直下のソース・ドレイン拡散層は十分に浅接合化がなされ、パンチスルー現象を十分に抑制していることも明らかとなった。

【0054】尚、本実施例においてはPMOSの場合について説明したが、導電型を逆にしたNMOSの場合、及びそれらの複合であるCMOSに適用することが出来る。

【0055】本実施例において、Inの注入量をパラメータとして種々の条件で試作したが、注入量が $5 \times 10^{19} / \text{cm}^3$ 以上では重イオン注入に基づく結晶欠陥が発生する。上記結晶欠陥は高濃度拡散層内部に局在し、直接、電氣的悪影響を及ぼすとは言えない。しかし、結晶欠陥の発生は好ましいとはいえず、注入量は $5 \times 10^{19} / \text{cm}^3$ が望ましい。また、その注入量の下限は、 $5 \times 10^{17} / \text{cm}^3$ 以上が望ましい。それは、注入量が $5 \times 10^{17} / \text{cm}^3$ 以上で本実施例の効果が十分顕著に観測されるためである。尚、ソース・ドレインの浅接合の拡散層の低抵抗化の観点では、最大不純物濃度は $1 \times 10^{20} / \text{cm}^3$ 以上であることが好ましい。

【0056】実施例2

図8は本発明の第二の実施例によるMOSを示す完成断面図、図7はその製造工程順を示す装置の断面図である。

【0057】前記実施例1に於いて、浅いソース拡散層4、及び浅いドレイン拡散層5を形成するイオン注入工程と不純物吸引領域6を形成するイオン注入工程の順を逆にした以外は、実施例1と同様の仕様で、図5に示される状態まで製造工程を進めた。図5の状態より、10nm厚の堆積酸化膜を全面に形成する。その後、この酸化膜を異方性エッチングによりゲート電極3の側壁部にのみオフセット絶縁膜15を選択的に残置した。上記オフセット絶縁膜15をイオン注入導入用のマスク領域として前記実施例1と同一条件でPのイオン注入を施して、パンチスルー防止のためのN導電型パンチスルー防止拡散層7とした。しかる後、前記実施例1に従い、ゲート側壁絶縁膜8、P型高濃度ドレイン拡散層10及びP型高濃度ソース拡散層9を形成した。この状態が図7である。

【0058】図7の状態より、前記実施例1に従い、注入イオンの活性化の熱処理を行う。更に、C₆₀シリサイド膜11を選択的な形成し、その低抵抗化を施す。次いで、表面保護絶縁膜12を堆積し、その所望領域に開口を施す。TiN膜と配線金属としてのW膜の堆積とその選択的残置を実施した。その後、所望回路構成に従い、アルミニウムを主材料とする金属膜の堆積とそのパターンニングによりドレイン電極14、及びソース電極13を含む配線を形成し、MOSを製造した。この状態の断面図を図8に示す。

【0059】本実施例に基づくMOSに於ては、前記実施例1と同様に従来MOSに比べて単位ゲート幅当たりの電流値を大きくすることができた。しかし、更に、本実施例に基づくことにより前記実施例1によるMOSに比べても、単位ゲート幅当たりの電流値をさらに大きくすることが出来た。即ち、前記実施例1と同一測定条件で、0.52mAなる値であった。上記大電流化が達成できた理由は、N導電型パンチスルー防止拡散層7が、ゲート電極端からわずかにオフセットされた状態で基板表面領域にも導入される構成のため、チャネル領域におけるN導電型濃度が僅かに低減される。従って、本例では、移動度の不純物濃度依存性の効果が改善され、大電流化が達成されたものと推測される。

【0060】本実施例、及び前記実施例1に於て、5P導電型の浅いソース拡散層4、及び浅いドレイン拡散層、及び高濃度拡散層9及び10を形成するイオン種として、BF₃の例について例示したが、B等の他のイオン種であっても何ら差し支えない。更にN導電型パンチスルー防止拡散層7の形成もPの代わりにAs、Sb等他のN導電型不純物に依っても何ら問題ない。

【0061】本実施例においては、前記実施例1と浅い

ソース・ドレイン拡散層4、5を形成するイオン注入工程と不純物吸引領域6を形成するイオン注入工程の順序が逆であるが、得られた電気特性からはイオン注入の順序に関係なく、極浅接合で且つ低シート抵抗のソース・ドレイン拡散層が実現できたことを示している。

【0062】この事実から、不純物吸引領域6形成のイオン注入により基板表面の非晶質化がなされ、これによるイオン注入時のチャネリング現象が低減されて浅接合化が達成されたのではないことが確認される。即ち、本実施例による浅接合形成技術は、従来提案されている浅接合形成のためのGe等による基板表面の非晶質化方法とは全く異なる現象に基づいており、その効果も高濃度分布領域までも制御集積化されるなど全く異なることが明らかとなった。

【0063】尚、本実施例においてはPMOSの場合について説明したが、導電型を逆にしたNMOSの場合、及びそれらの複合であるCMOSに適用することが出来る。

【0064】実施例3

図10は本発明の第三の実施例による完成したMOSを示す断面図、図9はその製造工程順を示す装置の断面図である。

【0065】前記実施例1に用いたものと同一仕様の半導体基板1に活性領域を画定する素子間分離絶縁領域16の形成する。次いで、P導電型ウエル領域17、及びN導電型基板領域における濃度調整用N導電型イオン注入と、P導電型及びN導電型基板表面近傍領域への閥電圧調整用イオン注入、更には注入イオンの活性化熱処理を従来の手法に従って施した。しかる後、ゲート絶縁膜2とゲート電極3を、前記実施例1の方法と同様の方法で形成した。次に、N導電型基板領域表面以外をホトレジスト膜で覆うことにより同領域に選択的にBF₃のイオン注入し、P導電型高濃度の浅いソース拡散層4、及び浅いドレイン拡散層5を形成した。これらの拡散層の形成条件は前述の実施例1と同一条件である。尚、前記ホトレジスト膜の図示は省略されている。

【0066】更に、浅いソース拡散層4、及び浅いドレイン拡散層5を包み込むごとくPのイオン注入を施して、パンチスルー防止のためのN導電型のパンチスルー防止拡散層7を形成した。しかる後、イオン注入阻止マスクとして用いたホトレジスト膜を選択的に除去した後、P導電型ウエル領域17以外をホトレジスト膜(図示せず)で覆ってから、P導電型ウエル領域17にのみ選択的にAsのイオン注入を施してN導電型高濃度の浅いソース拡散層19、及び浅いドレイン拡散層18を形成した。Asのイオン注入条件は加速エネルギー5keV、注入量 $2 \times 10^{15} / \text{cm}^2$ に設定した。

【0067】更に、浅いソース拡散層19、及び浅いドレイン拡散層18を包み込むごとくBのイオン注入を施してパンチスルー防止のためのP導電型のパンチスルー

防止用拡散層20を形成した。選択的なイオン注入に用いたホトレジスト膜を除去してから、全面にInのイオン注入を施すことにより不純物吸引領域6をP及びN導電型の浅いソース・ドレイン拡散層4、5、18、及び19の内部に最大濃度深さが配置されるごとく形成した。Inのイオン注入条件は、加速エネルギー10keV、注入量 $2 \times 10^{12} / \text{cm}^2$ の条件である。不純物吸引領域6の形成の後、950℃、5秒の条件で熱処理を施し、注入した不純物の活性化を実施した。尚、上記熱処理はInのイオン注入前に施しても結果は変わらない。この状態の断面図が図9である。

【0068】図9の状態より、前記実施例1の製造工程に準じ、ゲート側壁絶縁膜8を形成した。しかる後、再度、N導電型基板の表面領域をホトレジスト膜（図示せず）で覆い、上記ホトレジスト膜と上記側壁絶縁膜8を注入阻止マスクとしてAsのイオン注入を加速エネルギー50keV、注入量 $3 \times 10^{15} / \text{cm}^2$ の条件で実施して深い高濃度ソース拡散層24、深い高濃度ドレイン拡散層23を形成した。

【0069】イオン注入阻止用マスクとして用いたホトレジスト膜を除去した後、P導電型ウェル領域17をホトレジスト膜（図示せず）で再度覆ってから、上記レジスト膜と上記側壁絶縁膜8を注入阻止マスク領域としてBのイオン注入を加速エネルギー5keV、注入量 $2 \times 10^{15} / \text{cm}^2$ の条件で実施して深い高濃度ソース拡散層21、深い高濃度ドレイン拡散層22とした。この状態より950℃、10秒の条件で注入イオンの活性化熱処理を施した。

【0070】続いて前記実施例1と同様の製造方法に従い、C₆₀シリサイド膜11の選択的な形成とその低抵抗化、表面保護絶縁膜12の堆積とその所望領域に開口、及びTiN膜と配線金属としてのW膜の堆積とその選択的な残置を実施した。その後、所望回路構成に従いアルミニウムを主材料とする金属膜の堆積とそのパターニングによりドレイン電極26とソース電極25及び27を含む配線を形成し、MOSを製造した。この完成した状態の装置の断面図が図10である。

【0071】なお、本実施例において、Inの注入量をパラメータとして種々の条件で試作した。Inの注入量が $5 \times 10^{19} / \text{cm}^3$ 以上では、重イオン注入に基づく結晶欠陥が発生する。上記結晶欠陥は高濃度拡散層内部に局在し、直接、電氣的悪影響を及ぼすとは言えないが、結晶欠陥の発生は好ましいとは言いが、Inの注入量は $5 \times 10^{19} / \text{cm}^3$ 以下であることが望ましい。この注入量の下限に関しては $5 \times 10^{17} / \text{cm}^3$ 以上であれば本実施例の効果が観測されるため、 $5 \times 10^{17} / \text{cm}^3$ 以上が望ましい。ソース・ドレイン浅接合拡散層は、その低抵抗化の観点から最大不純物濃度は $1 \times 10^{20} / \text{cm}^3$ 以上であることが望ましい。

【0072】上記製造工程に基づくことによりCMOS

が製造される。本実施例に基づくMOSにおいて、PMOSは前記実施例1と同様に大電流化が実現できたが、同時にNMOSにおいても大電流化が実現できた。即ち、ゲート長100nmの従来NMOSでドレイン印加電圧、及びゲート電圧 V_g から閾電圧 V_{th} を差し引いた印加電圧が1.5Vの条件による、1 μm のチャネル幅あたりのソース・ドレイン間電流 I_{ds} は0.85mAであったのに対し、本実施例に基づくNMOSにおいては、同一ゲート長、同一測定条件で1.05mAと2割の大電流化が実現された。

【0073】上記の飛躍的な電流増大は従来NMOSにおけるソース・ドレイン浅接合拡散層の抵抗が350 Ω /□と大きな値であったのに対し、本実施例に基づくNMOSのソース・ドレイン浅接合拡散層の抵抗は240 Ω /□と大幅に低減できたためと考えられる。即ち、本実施例に基づけば従来のCMOS製造工程にイオン注入に関する一工程を追加するだけで容易に微細CMOSを構成するNMOSとPMOSを同時に大電流化することができる。

【0074】なお、本実施例の図9において、不純物吸引領域6の形成のためのイオン注入工程をゲート電極3形成の後、P導電型高濃度の浅いソース拡散層4、及び浅いドレイン拡散層5を形成のイオン注入を施す前に、ゲート電極を注入阻止マスク領域としてN導電型基板表面領域、及びP導電型ウェル領域17の全面に施してからした場合についても評価した。この場合、イオン注入順序の変更は、製造されたMOSの特性に何ら影響が見られなかった。従って、イオン注入に関する順序は如何なる物でも良く、本発明は工程順序にはとらわれない。

【0075】尚、本実施例において、パンチスルー防止用の拡散層はゲート電極3を導入阻止マスク領域として導入した例について記載したが、ゲート電極側壁にオフセット絶縁膜を設けて、それを導入阻止用マスクとしても良い。場合、オフセット膜厚を制御することによりゲート電極に対する導入位置を所望個所に設定できる効果を有する。

【0076】実施例4

図12は本発明の第四の実施例に係わる完成したMOSを示す断面図、図11はその製造工程順を示す断面図である。

【0077】本実施例においては前記実施例3に準じてMOSを製造したが、浅いソース・ドレイン接合を形成するイオン注入条件に関して、P導電型、及びN導電型とも、イオン注入量を $5 \times 10^{14} / \text{cm}^2$ に設定した。さらに不純物吸引領域6の形成において、浅いドレイン接合18及び5の領域をホトレジスト膜で選択的に覆ってから、Inのイオン注入を前記実施例3に記載した条件で実施した。しかる後、上記ホトレジスト膜を除去してから注入不純物の活性化熱処理を前記実施例3の方法に従って施した。この状態を示す装置の断面図が図11で

ある。

【0078】図11の状態からは、前記実施例3に準じてC_oシリサイド膜11の選択形成とその低抵抗化、表面保護絶縁膜12の堆積とその所望領域に開口、及びT_iN膜と配線金属としてのW膜の堆積とその選択的な残置を実施した。その後、所望回路構成に従いアルミニウムを主材料とする金属膜の堆積とそのパターニングによりドレイン電極26とソース電極25及び27を含む配線を形成し、MOSを製造した。この完成した状態の断面図が図12である。

【0079】上記製造工程に基づくことによりCMOSが製造されるが、本実施例に基づくMOSは、PMOS、及びNMOSとも、浅いドレイン接合5及び18は、従来の製造方法に基づく不純物分布分布を有し、前記実施例3に基づくMOSにおける浅いドレイン接合に比べて不純物濃度が低く設定された。従って、シート抵抗がPMOSにおいて約7k Ω 、NMOSにおいて約1k Ω と高抵抗であった。

【0080】一方、浅いソース接合は前記実施例3に基づくMOSにおける浅いソース接合に比べて不純物濃度が低く設定されたにも係らず、シート抵抗はPMOSにおいて約600 Ω 、NMOSにおいて約350 Ω と低抵抗化がなされていた。これは基板表面とゲート絶縁膜間界面で偏析により不活性化していた注入不純物が不純物吸引領域6の導入により実効的に活性化されたためと考えられる。

【0081】即ち、本実施例に基づくことにより強電界が印加されるドレイン拡散層側における高抵抗化により電界の緩和とソース拡散層側における低抵抗化が達成された。これにより微細MOSの高性能化、即ちパンチスルー特性の改善に必須のドレイン電界緩和と大電流化に必須のソース抵抗低減の両立が本実施例に基づき製造されたMOSにより達成された。

【0082】尚、本実施例においてはパンチスルー防止拡散層20に関してゲート電極3を導入阻止マスクとして導入した例について記載したが、ゲート電極側壁にオフセット絶縁膜を設けてそれを導入阻止マスクとしても良い。この場合、オフセット膜厚を制御することによりゲート電極に対する導入位置を所望個所に設定できる効果を有する。

【0083】実施例5

図14は本発明の第五の実施例の完成したMOSを示す断面図、図13はその製造工程順を示す断面図である。

【0084】本実施例においては前記実施例1の方法に準じてMOSを製造したが、本実施例では実施例1におけるN導電型パンチスルー防止拡散層7の形成の前、又は後にN導電型パンチスルー防止拡散層7のさらに深部に位置するごとく第二のN導電型パンチスルー防止拡散層28を形成する如く高エネルギーによるPのイオン注入を施した。上記注入イオンはAs、又はSbであって

も良い。本実施例においては前記実施例1において実施した素子間分離絶縁領域形成後の基板濃度調整用N導電型イオンの注入と引き延ばし熱処理は施さなかった。第二のN導電型パンチスルー防止拡散層28の形成後、前記実施例1に従いゲート側壁絶縁膜8、P型高濃度ドレイン拡散層10及びP型高濃度ソース拡散層9を形成した。この状態を示す断面図が図13である。

【0085】図13の状態より前記実施例1に従い注入イオンの活性化熱処理、C_oシリサイド膜11の選択形成とその低抵抗化、表面保護絶縁膜12の堆積とその所望領域に開口、及びT_iN膜と配線金属としてのW膜の堆積とその選択的な残置を実施した。その後、所望回路構成に従いアルミニウムを主材料とする金属膜の堆積とそのパターニングによりドレイン電極14、及びソース電極13を含む配線を形成し、MOSを製造した。この完成した状態の断面図が図14である。

【0086】本実施例に基づくMOSにおいては、基板濃度調整用のN導電型不純物がゲート絶縁膜2形成後に導入できるため、高温酸化雰囲気において発生する格子間S_iによる増速拡散の影響を除くことができた。基板内部に導入された不純物が表面にまで達し、表面不純物濃度が上昇する現象を解消することができた。これにより表面では極めて低濃度に、基板内部では高濃度に不純物分布を設定でき、高移動度で、且つパンチスルー特性を前記実施例1に基づくMOSに比べても更に改善することができた。

【0087】更に、本実施例に基づくことにより、ウェル領域を選択的に形成ホトレジスト工程も省略することができるため廉価に微細MOSを提供することができる。尚、本実施例においては第二のN導電型パンチスルー防止拡散層28に関してゲート電極3を導入阻止マスクとして導入した例について記載したが、ゲート電極側壁にオフセット絶縁膜を設けてそれを導入阻止マスクとしても良い。この場合、オフセット膜厚を制御することによりゲート電極に対する導入位置を所望個所に設定できる効果を有する。更に本実施例においてはPMOSの場合について説明したが、導電型を逆にしたNMOSの場合、及びそれらの複合であるCMOSに適用しても何ら問題ではない。

【0088】実施例6

図15は本発明の第六の実施例による完成したMOSを示す断面図である。

【0089】本実施例においては前記実施例5に準じてMOSを製造したが、浅いソース・ドレイン接合を形成するイオン注入条件に関して、イオン注入量を $5 \times 10^{14} / \text{cm}^2$ に設定した。さらに不純物吸引領域6の形成において、浅いドレイン接合5領域をホトレジスト膜で選択的に覆ってからI_nのイオン注入を前記実施例5の方法に基づき実施した。しかる後、上記ホトレジスト膜を除去してから、注入不純物の活性化熱処理を前記実施例

5に従って施した。この状態からは、前記実施例5の方法に準じてC_oシリサイド膜11の選択形成とその低抵抗化、表面保護絶縁膜12の堆積とその所望領域に開口、及びiN膜と配線金属としてのW膜の堆積とその選択的残置を実施した。その後、所望回路構成に従いアルミニウムを主材料とする金属膜の堆積とそのパターンニングによりドレイン電極14とソース電極13を含む配線を形成し、MOSを製造した本実施例に基づくMOSにおいては浅いドレイン接合5は従来の製造方法に基づく不純物分布分布を有し、前記実施例5に基づくMOSにおける浅いドレイン接合に比べて不純物濃度が低く設定されたため、シート抵抗が約7k Ω と高抵抗であった。一方、浅いソース接合は前記実施例5に基づくMOSにおける浅いソース接合に比べて不純物濃度が低く設定されたにも係らず、シート抵抗は約600 Ω と低抵抗化がなされていた。これは基板表面・ゲート絶縁膜間面で偏析により不活性化していた注入不純物が不純物吸引領域6の導入により実効的に活性化されたためと考えられる。

【0090】即ち、本実施例に基づくことにより強電界が印加されるドレイン拡散層側における高抵抗化により電界の緩和とソース拡散層側における低抵抗化が前記実施例5に基づくMOSに比べても更に改善された。これにより微細MOSの高性能化、即ちパンチスルー特性の改善に必須のドレイン電界緩和と大電流化に必須のソース抵抗低減の両立が本実施例に基づき製造されたMOSにより達成された。尚、本実施例においてはPMOSの場合について説明したが、導電型を逆にしたNMOSの場合、及びそれらの複合であるCMOSに適用しても何ら問題ではない。尚、本実施例においてはパンチスルー防止拡散層7、及び28に関してゲート電極3を導入阻止マスクとして導入した例について記載したが、ゲート電極側壁にオフセット絶縁膜を設けてそれを導入阻止マスクとしても良い。この場合、オフセット膜厚を制御することによりゲート電極に対する導入位置を所望個所に設定できる効果を有する。

【0091】以上、詳細に説明した通り、本発明によればイクステンションと称されるゲート電極直下の浅いソース・ドレイン接合を高濃度矩形不純物分布で実現したまま、低シート抵抗で極めて浅接合化できる。従って微細MOSにおいて、パンチスルー特性に優れ、且つ大電流化を達成することができる。特に本発明によればPMOSの大電流化に有効であるが、NMOSにも同時に適用でき、従ってCMOSの大電流化、短チャンネル化をイオン注入の一工程を追加するだけで廉価に達成することができる。

【0092】また、本発明によればゲート電極に重畳される半導体表面領域におけるドレイン接合近傍で高濃度基板不純物領域の導入が回避できるのでN⁺P⁺高濃度トンネル接合が形成されず、GIDL現象による保持状態

における漏洩電流が低減でき、従って消費電力の低減を実現することができる。

【0093】

【発明の効果】本願発明の主な形態によれば、ゲート電極下のソース・ドレイン接合領域の浅接合化と当該領域の低抵抗化とを合わせて実現したゲート絶縁型電界効果型トランジスタを提供することが出来る。

【0094】本願発明の別な形態によれば、大電流且つ高速度動作が可能な微細な相補型ゲート絶縁型電界効果型トランジスタを提供することが出来る。

【図面の簡単な説明】

【図1】図1は本発明の第1の実施例によるMOS型電界効果トランジスタの断面図である。

【図2】図2は従来のMOS型電界効果トランジスタの断面図である。

【図3】図3は従来の浅いソース・ドレイン接合における半導体基板表面からの不純物深さ方向分布を示す図である。

【図4】図4は本発明の浅いソース・ドレイン接合における半導体基板表面からの不純物深さ方向分布を示す図である。

【図5】図5は本発明の第1の実施例によるMOS型電界効果トランジスタの製造工程順を示す断面図である。

【図6】図6は本発明の第1の実施例によるMOS型電界効果トランジスタの製造工程順を示す断面図である。

【図7】図7は本発明の第2の実施例によるMOS型電界効果トランジスタの製造工程順を示す断面図である。

【図8】図8は本発明の第2の実施例によるMOS型電界効果トランジスタの断面図である。

【図9】図9は本発明の第3の実施例によるMOS型電界効果トランジスタの製造工程順を示す断面図である。

【図10】図10は本発明の第3の実施例によるMOS型電界効果トランジスタの断面図である。

【図11】図11は本発明の第4の実施例によるMOS型電界効果トランジスタの製造工程順を示す断面図である。

【図12】本発明の第4の実施例によるMOS型電界効果トランジスタの断面図である。

【図13】図13は本発明の第5の実施例によるMOS型電界効果トランジスタの製造工程順を示す断面図である。

【図14】図14は本発明の第5の実施例によるMOS型電界効果トランジスタの断面図である。

【図15】図15は本発明の第6の実施例によるMOS型電界効果トランジスタの製造工程順を示す断面図である。

【符号の説明】

1…半導体基板、2…ゲート絶縁膜、3、ゲート電極、4…浅いソース拡散層、5…浅いドレイン拡散層、6…不純物吸引領域、7…パンチスルー防止拡散層、8…ゲ

21

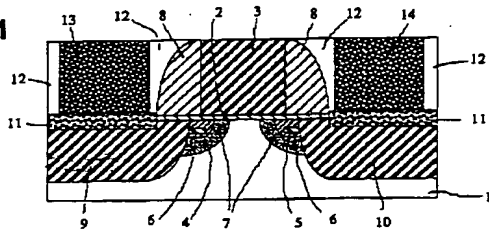
22

ート側壁絶縁膜、9…高濃度ソース拡散層、10…高濃度ドレイン拡散層、11…シリサイド膜、12…表面保護絶縁膜、13…ソース電極、14…ドレイン電極、15…オフセット絶縁膜、16…素子間分離絶縁領域、17…P導電型ウェル領域、18…浅いドレイン拡散層、

19…浅いソース拡散層、20…パンチスルー防止用拡散層、21及び24…高濃度ソース拡散層、22及び23…高濃度ドレイン拡散層、25および27…ソース電極、26…ドレイン電極、28…ウェル拡散層。

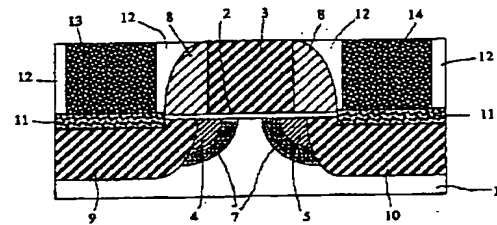
【図1】

図1



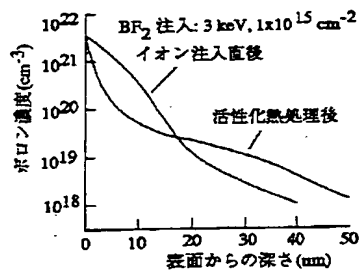
【図2】

図2



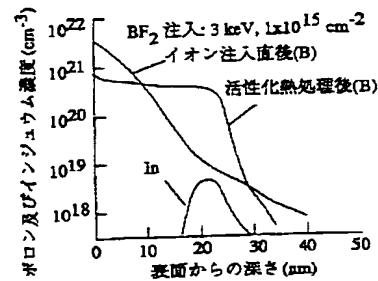
【図3】

図3



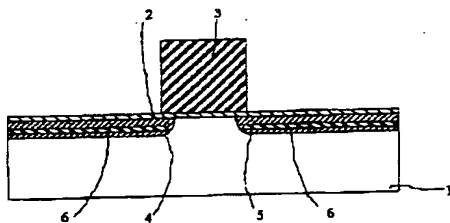
【図4】

図4



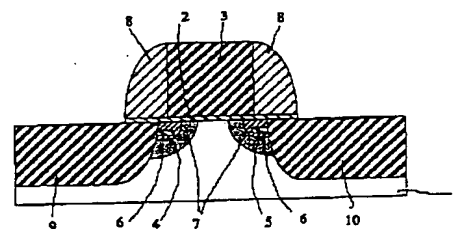
【図5】

図5



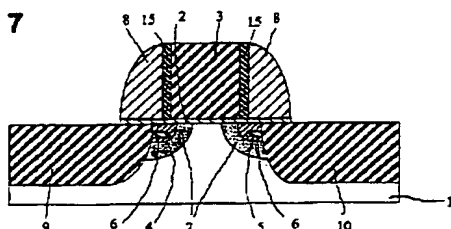
【図6】

図6



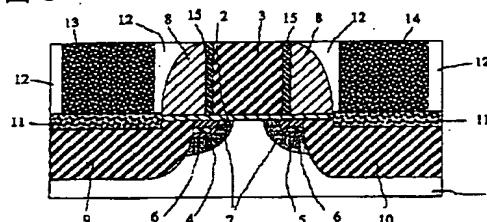
【図7】

図7



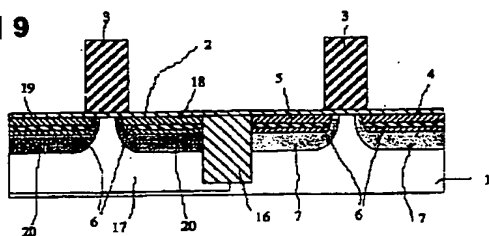
【図8】

図8



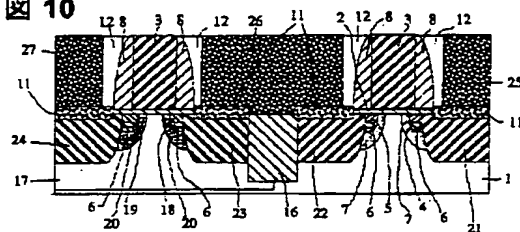
【図9】

図9



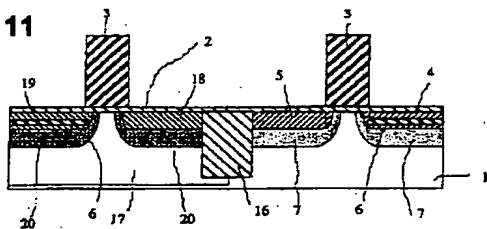
【図10】

図10



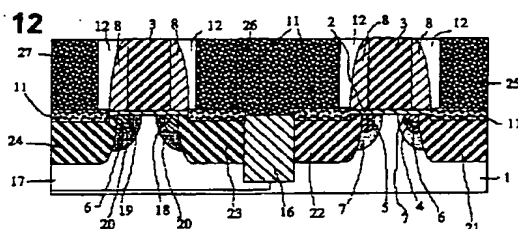
【図11】

図11



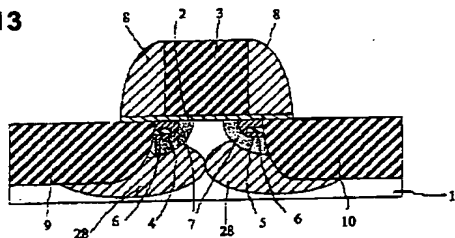
【図12】

図12



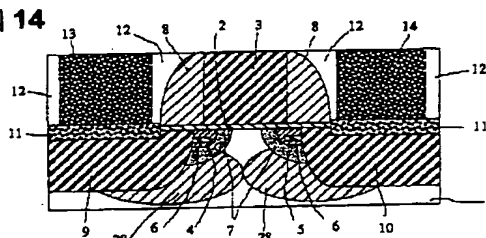
【図13】

図13



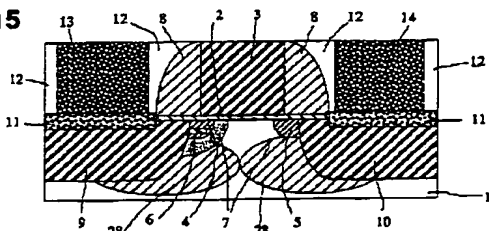
【図14】

図14



【図15】

図15



フロントページの続き

(72)発明者 ▲高▼濱 高

東京都小平市上水本町5丁目22番1号 株
 式会社日立超エル・エス・アイ・システム
 ズ内

F ターム(参考) 5F040 DA01 DA10 DA21 DB03 DC01
EC04 ED01 ED05 EF01 EF02
EF03 EF11 EF18 EH02 EJ03
EJ08 EK05 EM01 EM02 EM03
FA05 FA10 FB02 FB04 FC14
5F048 AA01 AA08 AB03 AC03 BA01
BB04 BB11 BC01 BC03 BC06
BD04 BF02 BF06 BF07 BG14
DA25 DA30